

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-150794

(43)Date of publication of application : 25.05.1992

(51)Int.CI.

H02P 7/00

G11B 21/10

H03K 17/687

(21)Application number : 02-270399

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.10.1990

(72)Inventor : SAKAMOTO MITSUZO

OKABE TAKEAKI

OKADA YUTAKA

YOSHIDA ISAO

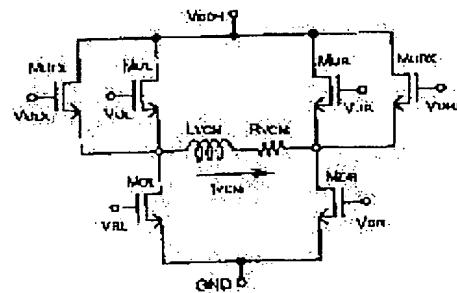
MORIKAWA MASATOSHI

## (54) BRIDGE TYPE DRIVE CIRCUIT AND MAGNETIC DISK APPARATUS UTILIZING THE SAME

## (57)Abstract:

PURPOSE: To realize low noise PWM drive in a low power consumption by connecting a fifth active element having the current supply capability lower than that of a first active element between a first operation voltage point and a first terminal in parallel with the first active element.

CONSTITUTION: MULX is PWM-driven for obtaining a positive IVCM. Namely, a current is supplied to a load through the loops MULX → LVCM, RVCM → MDR by setting MDR to ON state and MUR, MDL, MURX to OFF state. When a current reaches a target load current or more, MULX is set to OFF, changing to the circulation current mode of MDL → LVCM, RVCM → MDR. When a load current becomes lower than the target value, MULX is turned ON again. When MULX is turned OFF, a load current can be supplied since a potential between drain and body of MDL is forward-biased even when MDL is left in the OFF state but since an attenuation time constant of load current is set to a small value, when MULX is turned OFF, it is possible that MDL is turned ON, lowering a voltage drop at MDL.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

## 書誌

(19)【発行国】日本国特許庁(JP)  
(12)【公報種別】特許公報(B2)  
(11)【特許番号】特許第3199722号(P3199722)  
(24)【登録日】平成13年6月15日(2001. 6. 15)  
(45)【発行日】平成13年8月20日(2001. 8. 20)  
(54)【発明の名称】ブリッジ型駆動回路およびそれを用いた磁気ディスク装置  
(51)【国際特許分類第7版】

H02P 7/00 101  
G11B 21/10 A  
H03K 17/695

## 【FI】

H02P 7/00 101 E  
G11B 21/10 A  
H03K 17/687 B

【請求項の数】17

【全頁数】13

(21)【出願番号】特願平2-270399  
(22)【出願日】平成2年10月11日(1990. 10. 11)  
(65)【公開番号】特開平4-150794

(43)【公開日】平成4年5月25日(1992. 5. 25)

【審査請求日】平成9年8月20日(1997. 8. 20)

(73)【特許権者】

【識別番号】999999999

【氏名又は名称】株式会社日立製作所

【住所又は居所】東京都千代田区神田駿河台4丁目6番地

(72)【発明者】

【氏名】坂本 光造

【住所又は居所】東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
(72)【発明者】

【氏名】岡部 健明

【住所又は居所】東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

(72)【発明者】

【氏名】岡田 豊

【住所又は居所】東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

(72)【発明者】

【氏名】吉田 功

【住所又は居所】東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

(72)【発明者】

【氏名】森川 正敏

【住所又は居所】東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

(74)【代理人】

【識別番号】999999999

【弁理士】

【氏名又は名称】作田 康夫(外1名)

【審査官】牧 初

(56)【参考文献】

【文献】特開 昭50-52528(JP, A)

【文献】実開 昭55-35893(JP, U)

(58)【調査した分野】(Int. Cl. 7, DB名)

H02K 5/00,5/05  
H02K 5/28 - 5/44  
H02K 6/00 - 6/24  
H02K 7/00,7/05  
H02K 7/36 - 7/66  
H02M 7/42 - 7/98

## 請求の範囲

### (57)【特許請求の範囲】

【請求項1】第1の動作電位点と第2の動作電位点との間に直列接続された第1の能動素子と第2の能動素子と、上記第1の動作電位点と上記第2の動作電位点との間に直列接続された第3の能動素子と第4の能動素子と、上記第1の能動素子と上記第2の能動素子との共通接続点に接続された第1の端子と、上記第3の能動素子と上記第4の能動素子との共通接続点に接続された第2の端子とを具備し、上記第1の端子と上記第2の端子との間に負荷を接続することにより、第1の期間において、上記第1の能動素子と上記第4の能動素子とを導通することによって上記第1の動作電位点と上記第2の動作電位点との間に上記第1の能動素子、上記負荷および上記第4の能動素子の経路を介して電流を流すように構成したブリッジ型駆動回路であって、上記第1の能動素子と並列に上記第1の動作電位点と上記第1の端子との間に上記第1の能動素子より実質的に電流供給能力の小さい第5の能動素子を接続せしめ、第2の期間において、上記第1の能動素子を非導通、上記第4の能動素子および上記第5の能動素子を導通とすることによって上記第1の動作電位点と上記第2の動作電位点との間に上記第5の能動素子、上記負荷および上記第4の能動素子の経路を介して電流を流すように構成したことを特徴とするブリッジ型駆動回路。  
【請求項2】上記第2の期間において、上記第5の能動素子の導通が間歇的に行われるPWM駆動法により、上記負荷に電流を流すように構成したことを特徴とする請求項第1記載のブリッジ型駆動回路。

【請求項3】上記第2の能動素子がMOSトランジスタからなり、上記PWM駆動法において上記第5の能動素子の導通が間歇的に行われるときの上記第5の能動素子の非導通時に、還流電流が上記MOSトランジスタ、上記負荷および上記第4の能動素子の経路を介して流れるように構成されてなり、上記MOSトランジスタを流れる上記還流電流は、上記MOSトランジスタをオンさせて生じるオン電流か、もしくは上記MOSトランジスタのボディ・ドレイン間ダイオードを流れる電流からなる如くに構成されてなることを特徴とする請求項第2記載のブリッジ型駆動回路。

【請求項4】上記PWM駆動法において上記第5の能動素子の導通が間歇的に行われるときの上記第5の能動素子の導通時の平均デューティ比が1/2以下であるように制御されてなることを特徴とする請求項第2記載のブリッジ型駆動回路。

【請求項5】上記第1および第3の能動素子がNチャネルMOSトランジスタからなり、上記第1もしくは第3のNチャネルMOSトランジスタの導通時に、導通している該トランジスタのゲートに上記第1の動作電位点の電圧より高い電圧を印加することを特徴とする請求項第1記載のブリッジ型駆動回路。

【請求項6】上記第5の能動素子がNチャネルMOSトランジスタであることを特徴とする請求項第5記載のブリッジ型駆動回路。

【請求項7】上記第1および上記第3の能動素子がPチャネルMOSトランジスタからなることを特徴とする請求項第1記載のブリッジ型駆動回路。

【請求項8】上記第5の能動素子がPチャネルMOSトランジスタであることを特徴とする請求項第7記載のブリッジ型駆動回路。

【請求項9】上記第1乃至第4の能動素子の少なくとも1つの能動素子はMOSトランジスタにより形成されてなり、該MOSトランジスタは互いにゲートが分離され、プルダウン能力またはプルアップ能力を時間的に変動可能に形成され、電流の立上げまたは立下げの時間的変動率を緩和できる如くに形成された複合素子であることを特徴とする請求項第1記載のブリッジ型駆動回路。

【請求項10】上記ブリッジ型駆動回路の制御用のデータがデジタルデータからなることを特徴とする請求項第1記載のブリッジ型駆動回路。

【請求項11】上記負荷と並列にフィルタ回路が接続され、上記負荷に高周波成分を有する電流が流れることを防止されてなることを特徴とする請求項第1記載のブリッジ型駆動回路。

【請求項12】上記ブリッジ型駆動回路が上記フィルタ回路と同一の集積回路チップ上に共存して

形成されてなることを特徴とする請求項第11記載のブリッジ型駆動回路。

【請求項13】上記ブリッジ型駆動回路が、上記フィルタ回路および上記ブリッジ型駆動回路を駆動するマイクロプロセッサもしくはデジタルシグナルプロセッサと同一の集積回路チップ上に共存して形成されてなることを特徴とする請求項第11記載のブリッジ型駆動回路。

【請求項14】請求項1記載のブリッジ型駆動回路を用い、上記負荷としてボイスコイルモータを駆動することを特徴とする磁気ディスク装置。

【請求項15】上記第1の期間において、上記第1乃至第4の能動素子の各々の能動素子のスイッチング時点と一致しない時間において、上記磁気ディスク上の情報の読み取りが行われてなることを特徴とする請求項第14記載の磁気ディスク装置。

【請求項16】上記第1乃至第4の能動素子の少なくとも1つのスイッチングの周波数を、磁気ヘッドの制御を行うためのサーボ周波数より大きくしたことを特徴とする請求項第14記載の磁気ディスク装置。

【請求項17】上記ボイスコイルモータと並列に雑音防止のためのハイパスフィルタを設けたことを特徴とする請求項第14記載の磁気ディスク装置。

## 詳細な説明

### 【発明の詳細な説明】

#### 【産業上の利用分野】

本発明はインダクタンス負荷を駆動するブリッジ型駆動回路およびそれを用いた磁気ディスク装置に係り、特に磁気ヘッド駆動回路を小型・低消費電力化するのに好適なブリッジ型駆動回路ならびにこれを用いた磁気ディスク装置に関する。

#### 【従来の技術】

インダクタンス負荷に電流を供給する場合の低消費電力駆動の一般的な手法としてはPWM駆動法があり、これに関する公知例として見城尚志著“マイコンエッジのサーボ・パワーエレクトロニクス”総合電子出版社(1989年)第135頁から第141頁において論じてある。第12図は従来のPWM駆動法を説明するための回路図で、上記公知例の例えは図5.13に相当するものである。このような回路は、その形状からHブリッジ回路と呼ばれる。Tr<sub>1</sub>とTr<sub>3</sub>はHブリッジ型駆動回路の上アームトランジスタ、Tr<sub>2</sub>とTr<sub>4</sub>は下アームトランジスタと呼ばれる。ここでは、Tr<sub>1</sub>からTr<sub>4</sub>の4つをNPNトランジスタで構成した例である。D<sub>01</sub>からD<sub>04</sub>はダイオード、Mはモータ等のインダクタンス負荷である。本駆動回路で負荷電流I<sub>L</sub>として、図中の矢印方向の正電流を供給する場合、Tr<sub>2</sub>とTr<sub>3</sub>をオフ、Tr<sub>4</sub>をオンとし、Tr<sub>2</sub>をオン・オフ駆動(PWM駆動)する。すると、Tr<sub>1</sub>がオフの時には電源V<sub>DDH</sub>からTr<sub>1</sub>⇒M⇒Tr<sub>4</sub>と電流が増加しながら流れ、Tr<sub>1</sub>がオフのときにはD<sub>02</sub>⇒M⇒Tr<sub>4</sub>と還流電流(または回生電流)が減少しながら流れる。すなわち、Tr<sub>1</sub>がオフのデューティ比を制御することにより負荷電流I<sub>L</sub>の電流平均値を制御することが可能である。負の負荷電流I<sub>L</sub>を制御するにはTr<sub>1</sub>とTr<sub>4</sub>をオフ、Tr<sub>2</sub>をオン、Tr<sub>3</sub>をオン・オフ駆動(PWM駆動)させればよい。

一方、上アームトランジスタのTr<sub>1</sub>やTr<sub>3</sub>をオン・オフ駆動(PWM駆動)しないで連続的にオンさせ、連続的に電流を流して駆動する方法をリニア駆動と呼ぶ。リニア駆動の場合には各トランジスタの主要動作領域は、エミッタ・コレクタ間電圧とコレクタ電流が共にゼロ近辺でない線形領域にある。このためトランジスタの該エミッタ・コレクタ間電圧と該コレクタ電流の積に相当する消費電力が大きい。PWM駆動では各トランジスタはエミッタ・コレクタ間に電圧があまりかからない飽和状態(オン状態)か、コレクタ電流が流れない遮断状態(オフ状態)で使用するため消費電力が小さい。従ってリニア駆動はPWM駆動に比べ、トランジスタで消費される電力が大きいという問題がある。さてここで磁気ディスク装置では磁気ヘッドを移動するためのボイスコイルモータの駆動を行なう。このボイスコイルモータがインダクタンス負荷を形成し、これを出来るだけ低消費電力で駆動したいという要請がある。磁気ヘッドの制御においては、磁気ヘッドをまず目標トラックの位置まで高速に移動するシーク期間がある。ついで目標トラックに移動後に磁気ヘッドを押すバネの反発力と釣り合うトルクを発生させ、磁気ヘッドを目標トラック上に固定してこれをフォローするフォロイング期間がある。シーク期間には磁気ヘッドを高速に移動するため、ボイスコイルモータに大電流を供給する。3.5インチ磁気ディスクの典型的な一例では、約1A程度の電流を供給する。フォロイング期間には、目標トラック上をフォローするだけでよいので、小電流を供給する。同様の典型的な一例

では約100mA程度を供給する。ディスク上に記憶されたデータの読み取りは主にフォロイング期間に行なわれる。シーク期間には、磁気ヘッドを目標トラックへ到達させるために必要な現在のトラック位置等の、サーボデータの読み取りが行なわれる。

上記の磁気ディスク装置の駆動の特徴の1つは、大電流の駆動(シーク期間)と、小電流の駆動(フォロイング期間)が、混在して行なわれることである。

[発明が解決しようとする課題]

上記従来のPWM駆動の場合には負荷電流 $I_L$ は高周波電流成分を含むのこぎり波となる。このとき負荷電流の小さいフォロイング期間にも電流駆動能力の大きな第1の能動素子を用いて平均負荷電流を設定する。このため、パルス状の負荷電流のピーク値が大きくなり、輻射性雑音が増大すると言う欠点が有った。これが磁気ヘッドへ取り込まれる。このため磁気ヘッドによる上記のデータや上記のサーボモータの読み取りが正常に行えないという問題があった。

また負荷電流のピーク値が大きいので、その分PWM駆動のデューティ比を十分小さくする必要がある。このためフォロイング期間の平均負荷電流を一定に保つための制御性が悪いという欠点が有った。

このため従来、ボイスコイルモータの駆動には雑音が小さいリニア駆動を用いる必要があった。従って駆動用トランジスタで消費される電力の低減を図ることができないという問題があった。

リニア駆動における消費電力の大きさは、上記の例では、フォロイング期間では負荷電流 $I_L$ が

100mAと小さいのに負荷であるボイスコイルモータの抵抗が10, 程度と小さい。このためボイスコイルモータではおおよそ1V程度の電圧しか消費されない。従って電源電圧の大部分が能動素子に印加され、このためフォロイング期間において十分低消費電力化できなかった。その結果上記例の駆動回路では消費電力が1W以上必要であった。

ここで上記の駆動回路やサーボ回路を1つの集積回路(1チップ)の上に集積したいという要請がある。しかし一般に集積回路では消費電力を高め1W以下に押さえないと、強制冷却等の装置が必要になり、通常の小型機器には適用できないという問題がある。従って上記のリニア駆動を用いた駆動回路では、上記の回路をワンチップ化することが難しいという問題があった。

本発明は上記事情に鑑みてなされたもので、その目的とするところは、低消費電力で低雑音のPWM駆動を用いたブリッジ型駆動回路およびそれを用いた磁気ディスク装置を提供することにある。

[課題を解決するための手段]

上記目的を達成するための本発明の手段は、第1の動作電位点( $V_{DDH}$ )と第2の動作電位点(GND)との間に直列接続された第1の能動素子( $M_{UL}$ )と第2の能動素子( $M_{DL}$ )と、上記第1の動作電位点( $V_{DDH}$ )と上記第2の動作電位点(GND)との間に直列接続された第3の能動素子( $M_{UR}$ )と第4の能動素子( $M_{DR}$ )と、上記第1の能動素子( $M_{UL}$ )と上記第2の能動素子( $M_{DL}$ )との共通接続点に接続された第1の端子と、上記第3の能動素子( $M_{UR}$ )と上記第4の能動素子( $M_{DR}$ )との共通接続点に接続された第2の端子とを具備し、上記第1の端子と上記第2の端子との間に負荷( $L_{VCM}$ )を接続することにより、第1の期間において、上記第1の能動素子( $M_{UL}$ )と上記第4の能動素子( $M_{DR}$ )とを導通することによって上記第1の動作電位点( $V_{DDH}$ )と上記第2の動作電位点(GND)との間に上記第1の能動素子( $M_{UL}$ )、上記負荷( $L_{VCM}$ )および上記第4の能動素子( $M_{DR}$ )の経路を介して電流を流すように構成したブリッジ型駆動回路であって、上記第1の能動素子( $M_{UL}$ )と並列に上記第1の動作電位点( $V_{DDH}$ )と上記第1の端子との間に上記第1の能動素子( $M_{ULX}$ )より実質的に電流供給能力の小さい第5の能動素子( $M_{ULX}$ )を接続せしめ、第2の期間において、上記第1の能動素子( $M_{UL}$ )を非導通、上記第4の能動素子( $M_{DR}$ )および上記第5の能動素子( $M_{ULX}$ )を導通とすることによって上記第1の動作電位点( $V_{DDH}$ )と上記第2の動作電位点(GND)との間に上記第5の能動素子( $M_{ULX}$ )、上記負荷( $L_{VCM}$ )および上記第4の能動素子( $M_{DR}$ )の経路を介して電流を流すように構成したことを特徴とするブリッジ型駆動回路およびこれを用いた磁気ディスク装置とすることである。(第1図参照)。

[作用]

上記第1の期間においては、電流供給能力の大きな第1の能動素子によって負荷に大きな電流が供給されることができる。従って、例えば、磁気ディスク装置において、磁気ヘッドを目標トラック

の位置まで移動するまでのシーク期間を短縮することができる。

第2の期間においては、電流供給能力の小さい第5の能動素子によって小さな電流が負荷に供給される。従って、例えば磁気ディスク装置における第2の期間、すなわち負荷に小さな電流を供給することによって磁気ヘッドを目標トラック上に固定しフォローするフォローリング期間において、電流供給能力の小さい第5の能動素子によって負荷が駆動できる。

従って、負荷電流のピーク値を小さくでき、その分PWM駆動のデューティ比を大きくできる。その結果フォローリング期間の平均負荷電流を一定に保つための制御性が向上できる。またこの方法では負荷電流のピーク値が小さい分、輻射性雑音が大幅に減少できる効果がある。これにより磁気ディスク装置のボイスコイル駆動回路において、低消費電力のPWM駆動回路を用いることができるという効果がある。また低消費電力化により、上記駆動回路の集積回路化が容易になる効果がある。

#### [実施例]

以下、本発明の実施例を図面により詳細に説明する。第1図は本発明の第1の実施例の駆動回路図である。 $V_{DDH}$ は出力回路の電源電圧、 $L_{VCM}$ はボイスコイルモータのインダクタンス、 $R_{VCM}$ は $L_{VCM}$ と直列に存在する抵抗成分でボイスコイルモータの寄生抵抗成分と負荷電流検出用のセンス抵抗の合計、 $I_{VCM}$ は負荷( $L_{VCM}$ および $R_{VCM}$ )に流れる負荷電流である。磁気ヘッドの制御は目標トラックに磁気ヘッドを移動させるシーク期間と目標トラックに磁気ヘッドが移動後、磁気ヘッドを押すバネの反発力と釣り合うトルクを発生させ、磁気ヘッドを目標トラックに固定するフォローリング期間からなる。 $M_{UL}, M_{UR}, M_{DR}, M_{DL}$ はシーク期間に $L_{VCM}$ に電流を供給するためのNチャネルMOSトランジスタ、 $M_{ULX}$ と $M_{URX}$ はフォローリング期間に $L_{VCM}$ に電流を供給するためのNチャネルMOSトランジスタである。従来例の第12図にあった還流電流用のダイオード $D_{01}$ から $D_{04}$ はここではMOSトランジスタのドレインボディ間ダイオードで代用させている。本実施例ではトランジスタの消費電力低減のため従来の磁気ディスク装置のボイスコイルモータ駆動回路で使用されていたリニア駆動方式の代わりに、フォローリング時の駆動にPWM駆動を用いた。PWMの欠点である雑音防止のため、シーク時に使用するMOSトランジスタ $M_{UL}, M_{UR}$ より1桁程度小さいフォローリング用MOSトランジスタ $M_{ULX}, M_{URX}$ を設けた。 $M_{ULX}$ ( $M_{URX}$ )はシーク用のMOSトランジスタ $M_{UL}$ ( $M_{UR}$ )に比べ電流駆動能力が約1桁小さいため、フォローリング時のPWM駆動を $M_{UL}$ ( $M_{UR}$ )で行った場合に比べ負荷電流の最大値が小さくなる。このため、PWM駆動により磁気ヘッドに飛び込む放射性雑音の大きさを小さくすることが可能である。また、所望の平均負荷電流 $I_{VCM}^{(mean)}$ を得るためのPWM駆動のオンデューティは $M_{ULX}$ ( $M_{URX}$ )を用いた方が大きくなるため、 $I_{VCM}$ の脈流が小さく、精度の良い電流制御が行えるという利点がある。また、 $M_{UL}$ ( $M_{UR}$ )に比べ $M_{ULX}$ ( $M_{URX}$ )の方が入力容量が小さいことからMOSトランジスタのゲート駆動電力が小さくてすむという利点もある。

フォローリング期間におけるPWM駆動は下記の方法により行える。正の $I_{VCM}$ を得るために $M_{ULX}$ をPWM駆動する。すなわち、 $M_{ULX}$ と $M_{DR}$ をオン状態にし、 $M_{UL}$ と $M_{UR}$ と $M_{DL}$ と $M_{URX}$ をオフ状態にし、 $M_{ULX} \Rightarrow L_{VCM}, R_{VCM} \Rightarrow M_{DR}$ という経路で負荷に電流を供給し、目標負荷電流以上に達した場合には $M_{ULX}$ をオフ状態にし、 $M_{DL} \Rightarrow L_{VCM}, R_{VCM} \Rightarrow M_{DR}$ という還流電流モードに切り替える。負荷電流が目標値以下に達した場合には再び $M_{ULX}$ をオン状態にする。ここで、 $M_{ULX}$ をオフにしたとき $M_{DL}$ をオフのままにした場合でも $M_{DL}$ のドレイン・ボディ間が順バイアスされるため負荷電流を供給できるが、負荷電流の減衰時定数を小さくするため $M_{ULX}$ をオフにしたときは $M_{DL}$ をオンにし $M_{DL}$ での電圧降下を低減することも可能である。逆向きのフォローリング負荷電流を供給するには $M_{URX}$ をPWM駆動する。フォローリング時の電流駆動は磁気ヘッドを押すばねと釣り合う逆方向のトルクを発生することが目的であるため、供給する負荷電流の向きは1方向だけでも良い。この場合にはフォローリング用のMOSトランジスタ $M_{URX}$ は不要となる。磁気ディスク装置の場合、負荷に供給する電流レベルが2種類であるため駆動素子を2つ並列に設けたが、もしも駆動電流レベルを3種類とする場合には $M_{UL}$ と $M_{UR}$ と並列にさらに駆動素子を追加することも可能である。

第2図は本発明の第1の実施例でシーク期間にPWM駆動する場合のタイムチャートである。シーク期間はもともと電流レベルが大きいため一般にリニア駆動の場合でも電源電圧はほとんど負荷

にかかり、消費電力の損失は少ない。このため、PWM駆動したときにもトランジスタの消費電力を低減させる効果は小さい。しかし、上アームトランジスタとしてNチャネルMOSトランジスタを使用した場合、リニア駆動では目標電流を得るための追随速度を速くするためにゲートを昇圧を強力なチャージポンプ回路で行う必要があり、またこのチャージポンプのクロックによる雑音がサーボデータの読み取りに影響を与えないようにする必要があるという問題がある。これに対しPWM駆動では、ゲートの昇圧をブーストストラップ法を用いて容易に行えるという利点がある。

シーク期間での $I_{VCM}$ の平均電流は本実施例では1A以上と高いため、このオン・オフ動作による雑音を低減することは困難である。リニア駆動によるアナログサーボ方式の場合には上記の雑音発生がないため、シーク期間にサーボデータの読み取りを常時行う。しかしボイスコイルモータをPWM駆動した場合にはシーク期間に磁気ヘッドに大きい放射性雑音が入射し正常なサーボデータの読み取りは困難になる。このため本実施例ではサーボデータの読み取りを間歇的に行うセクタサーボ方式の特徴と、オン・オフ動作を間歇的に行うPWM駆動の特徴を融合した新たなデータ読み取り方式を提供する。セクタサーボ方式では磁気ディスクの所定の箇所にトラック信号が書かれており、その情報を1サーボ周期ごとに読み取りデジタルサーボする方式である。このため、PWM駆動での電流スイッチのタイミングをこのサーボデータ読み取りのタイミングとは別のときに行うことにより、たとえボイスコイルモータから発せられる高い放射性雑音があってもサーボデータの読み取りには影響を与えない。このため正常なシークを行えるという利点がある。サーボ周期を200,  $\mu$ s、PWMの周期を50,  $\mu$ sとした場合を例に取り具体的に述べると以下のようにになる。サーボ周期の最初の25,  $\mu$ sをサーボデータの読み取り期間に設定し、PWM周期の最初の25,  $\mu$ sを電源から負荷電流を供給しない期間(還流電流モードのみ生じる期間)に設定する。そして、PWM周期の後半の25,  $\mu$ sを電源から負荷電流を供給しうる期間、すなわち、能動素子のスイッチングが生じる可能性のある期間に設定すると、サーボデータの読み込みの期間には決して能動素子のスイッチングが行われない。このため、能動素子のスイッチングによる雑音がサーボデータの読み込みに悪影響を与えることがなくなる。なお、PWMの周波数はサーボ周波数より高くし、PWM駆動による機械系との共振を防ぐことが望ましい。

シーク期間におけるPWM駆動を第1図を用いて以下に説明する。正の $I_{VCM}$ を得るために $M_{UL}$ をPWM駆動すれば良い。すなわち、 $M_{UL}$ と $M_{DR}$ をオン状態にし、 $M_{ULX}$ と $M_{UR}$ と $M_{DL}$ と $M_{URX}$ をオフ状態にし、 $M_{UL} \Rightarrow L_{VCM} \Rightarrow M_{DR}$ という経路で負荷に電流を供給し、目標負荷電流以上に達した場合には $M_{UL}$ をオフ状態にし、 $M_{DL} \Rightarrow L_{VCM} \Rightarrow M_{DR}$ という還流電流モードに切り替え負荷電流を供給する。負荷電流が目標値以下に達した場合には再び $M_{UL}$ をオン状態にする。ここで、 $M_{UL}$ をオフにしたとき $M_{DL}$ をオフのままにした場合でも $M_{DL}$ のドレイン・ボディ間が順バイアスされるため負荷電流を供給できるが $M_{DL}$ のドレイン・ボディ間ダイオードでの電圧降下に比べ、 $M_{DL}$ をオン状態にした場合の電圧降下の方が小さくできるため消費電力低減のためには $M_{UL}$ と $M_{DL}$ は逆位相でPWM駆動することが望ましい。なおこの時、 $M_{UL}$ と $M_{DL}$ が同時にオン状態となると $V_{DDH}$ から貫通電流が流れるためそのタイミングには注意を要する。逆向きの負荷電流を供給するには $M_{UR}$ をPWM駆動する。ここでフォロイング用のMOSトランジスタ $M_{ULX}$ と $M_{URX}$ はオン抵抗が小さくないためゲート電圧は $V_{DDH}$ 以上に昇圧する必要がなかった。しかしシーク用のMOSトランジスタ $M_{UL}$ と $M_{UR}$ としてNチャネルMOSトランジスタを用いた場合には、ブーストストラップまたはチャージポンプ等の手法により電源電圧 $V_{DDH}$ に比べゲート電圧を昇圧して駆動するとオン抵抗が小さくなる効果がある。

電流スイッチのタイミングをサーボデータ読み取りのタイミングとは別のときに行うという考え方とは特にPWM駆動で重要なが通常のリニアアンプによる駆動の場合でもサーボモータ読み取りのタイミングには負荷への供給電流を変化させないか、または変化させる場合でも急激な変化をさせない駆動を行うことはシーク時期における低雑音サーボ法として望ましい。

第3図は本発明の第1の実施例の詳細駆動回路図で、第4図はその駆動表である。第3図では左側のアーム駆動回路のみを示してある。右端の $L_{VCM}$ が負荷であり、その右側に図と同様の回路を対称的に設ける(本実施例では負方向のフォロイング回路は設けてない。) $R_1, R_2, R_4$ はMOSトランジスタのドレイン電流の変化率を低減するためのゲート抵抗である。 $A_L$ は $M_{DL}$ をオン・オフするための電圧端子、 $B_L$ は $M_{UL}$ をオンするため電圧端子である。 $C_L$ は $M_{UL}$ のゲートを電源電圧 $V_{DDH}$

以上に昇圧するためのチャージポンプ回路用クロック入力端子、 $D_L$ は $M_{ULX}$ をオン・オフするための電圧端子である。 $C_1$ は $M_{UL}$ のゲートを電源電圧 $V_{DDH}$ 以上に昇圧するためのブートストラップ用のキャパシタである。本回路では $M_{UL}$ のゲート昇圧のためチャージポンプ回路とブートストラップ回路を併用しているがどちらか1つを使用するだけでも良い。

第5図は本発明の第1の実施例のブロック回路図である。VCMはボイスコイルモータである。従来の磁気ディスク装置では目標トラックデータと現在の磁気ヘッドで検出したサーボ情報を基にデジタル演算を行い、目標速度を決定し、それをアナログ信号に変え、さらに必要に応じ機械系の振動防止のためのノッチフィルタを通した後の信号をリニアアンプに入力して駆動していた。これに対し本発明のボイスコイルモータ駆動回路ではデジタル信号をそのまま信号パルス幅に変換し駆動を行うことができるため、デジタル演算回路の計算結果をアナログ信号に変換せずにPWM型ボイスコイル駆動回路に接続できるため部品点数を低減できるという利点がある。また、本発明によるとVCMドライバ回路の低消費電力化が可能となるため、サーボ用に使用するマイクロプロセッサまたはデジタルシグナルプロセッサからなるデジタル演算回路をドライバ回路とワンチップ化することも可能となる。このため、駆動ボードの小型化が図れるという効果がある。

第6図は本発明の第1の実施例のPWM駆動回路に第5図のブロック図で示したように直接デジタル信号が入力がされないで、従来の如くアナログで入力される場合のインターフェース回路である。 $V_{IN}$ はボイスコイルモータに流す目標電流値に対応する制御入力電圧、 $V_{ref0}$ は実際にボイスコイルモータに流れている電流値または磁気ヘッドが存在する位置信号波形にのこぎり波を重畠させた基準電圧である。 $V_{IN}$ と $V_{ref0}$ の大小関係をコンパレータ3で比較し、この結果により負荷に流す電流をパルス幅変調する。 $V_{ref1}$ は正方向の負荷電流をシークモードにするかフォロイングモードにするかの判定をコンパレータ1で行うための基準電圧、 $V_{ref2}$ は正方向電流のフォロイングモードにするか負方向電流のシークモードにするかの判定をコンパレータ2で行うための基準電圧である。前記パルス幅変調により得られる電圧は制御モードにより第3図の入力端子 $A_L, B_L, C_L, D_L, A_R, B_R, C_R$ に印加する。第6図の入力Zには、サーボモータの読み込み期間に“L”状態となる信号を印加する。これにより第2図で述べたようにシーク時の急激な負荷電流変化を防止可能となる。

第7図は本発明の第1の実施例の駆動回路をさらに低雑音化するためのブロック回路図である。本実施例では負荷の $L_{VCM}$ に流れる高周波成分を低減するために $L_{VCM}$ と並列にハイパスフィルタを設け磁気ヘッドに飛び込む放射性雑音の原因となる高周波電流成分が負荷に流れないようにしてある。

第8図は本発明の第2の実施例の駆動回路である。本実施例では第1図のフォロイング用のNチャネルMOSトランジスタ $M_{ULX}, M_{URX}$ をPチャネルMOSトランジスタ $M_{ULY}, M_{URY}$ で構成したことが異なるだけで実質的には第1の実施例と同じである。ここで、 $M_{ULY}$ と $M_{URY}$ の電流駆動能力は各々 $M_{UL}$ と $M_{UR}$ に比べ小さく設計するということは第1の実施例と同じである。

第9図は本発明の第3の実施例の駆動回路である。本実施例では、第1の実施例の $M_{ULX}$ を $M_{UL1}$ と $M_{UL2}$ という2素子で構成し、 $M_{URX}$ を $M_{UR1}$ と $M_{UR2}$ という2素子で構成した場合の実施例を示してある。 $M_{UL1}$ と $M_{UL2}$ ( $M_{UR1}$ と $M_{UR2}$ )のオン・オフのタイミングをずらすことにより負荷に流れる電流をなまらし高周波電流成分が流れにくくすることが可能となり、雑音の低減が可能となる。なお、本実施例ではフォロイング用のトランジスタを2分割した場合を示したが、さらに3分割しオン・オフのタイミングをずらすことも可能である。また、同様にシーク用のMOSトランジスタである $M_{UL}, M_{UR}$ のゲートを2分割以上にし、個々のトランジスタを遅延させて駆動させた場合にはシーク時の雑音低減が図れる。

第10図は本発明の第3の実施例の詳細駆動回路図である。本発明の第3図と同様に左側のアーム駆動回路のみを示してあるが、同様の回路を右側のアームにも設ける。 $R_1, R_2, R_4, R_5$ はMOSトランジスタのドレン電流の変化率を低減するためのゲート抵抗である。 $R_4$ と $R_5$ の抵抗を変えることにより $M_{UL1}$ と $M_{UL2}$ のスイッチング速度を変えフォロイング時におけるPWM電流の高周波成分を低減可能となる。 $A_L, B_L, C_L, D_L$ 等は第3図と同じ役割をする。

第11図は本発明の第4の実施例である。本実施例ではシーク用の上アーム用MOSトランジスタ

$M_{UL}, M_{UR}$ をPチャネルMOSトランジスタで構成した場合を示してある。ここで、フォロイング用の上アーム用MOSトランジスタ $M_{ULY}$ と $M_{URY}$ の電流駆動能力は各々 $M_{UL}$ と $M_{UR}$ に比べ小さく設計することは第1の実施例等と同じである。本実施例の場合にはゲート電圧を電源電圧以上に昇圧する必要がないため下記のような低消費電力化に有効な回生電流駆動が容易に行えるという利点がある。すなわち、シーク期間における正の $I_{VCM}$ を得るために $M_{UL}$ をPWM駆動すれば良い。すなわち、 $M_{UL}$ と $M_{DR}$ をオン状態にし、 $M_{ULX}$ と $M_{URX}$ と $M_{UR}$ と $M_{DL}$ をオフ状態にし、 $M_{UL} \Rightarrow L_{VCM} \Rightarrow M_{DR}$ という経路で負荷に電流を供給し、目標負荷電流以上に達した場合には $M_{UL}$ と $M_{DR}$ をオフ状態にし、つぎに、 $M_{UR}$ と $M_{DL}$ をオンし、 $M_{DL} \Rightarrow L_{VCM} \Rightarrow M_{UR}$ という回生電流モードに切り替える。そして、負荷電流が目標値以下に達した場合には再び $M_{UR}$ と $M_{DL}$ をオフし、 $M_{UL}$ と $M_{DR}$ をオン状態にする。ここで、回生電流モードでは $L_{VCM}$ に蓄積されたエネルギーが電源に戻されるため低消費電力化が図れる。ここで、回生モードで $M_{UR}$ と $M_{DL}$ をオンさせる目的はこれらの素子での消費電力を低減するためであり、オフのままでも $M_{UR}$ と $M_{DL}$ のドレイン・ソース間のダイオードを介して電流を流すことは可能である。

#### 【発明の効果】

本発明によれば、低雑音駆動が必要な磁気ディスク装置のボイスコイルモータ駆動にPWM駆動を導入できるため低消費電力駆動が可能となるという効果がある。また、また、これによりサーボ回路と駆動回路を1チップ化することが可能となり駆動回路の小型化が図れるという効果がある。

#### 図の説明

##### 【図面の簡単な説明】

第1図は本発明の第1の実施例の駆動回路図、第2は本発明の第1の実施例の駆動回路図で、シーク期間でのPWM駆動法とサーボモータの読み込み時期を示すタイムチャート、第3図は本発明の第1の実施例の詳細駆動回路図で第4図はその駆動表、第5図は本発明の第1の実施例のブロック回路図、第6図は本発明の第1の実施例の出力回路の入力をアナログ信号とした場合のインターフェース用ロジック回路図、第7図は本発明の第1の実施例の駆動回路をさらに低雑音化するためのブロック回路図、第8図は本発明の第2の実施例の駆動回路図、第9図は本発明の第3の実施例の駆動回路図、第10図は本発明の第3の実施例の詳細駆動回路図、第11図は本発明の第4の実施例の駆動回路図、第12図は従来のPWM駆動回路図である。

$M_{UR}, M_{UL}$ ……NチャネルMOSトランジスタまたはPチャネルMOSトランジスタ、

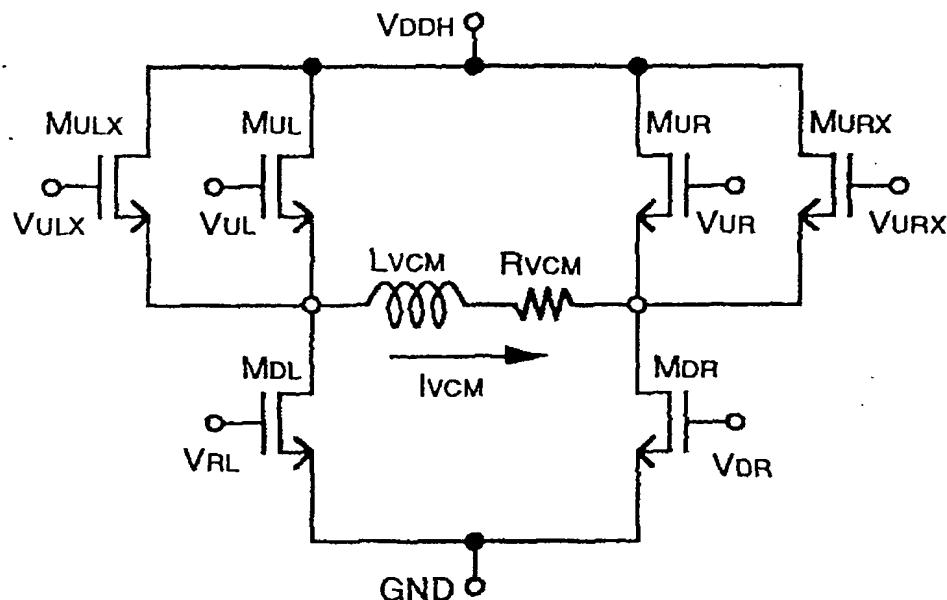
$M_{DR}, M_{DL}, M_{URX}, M_{ULX}, M_{UL1}, M_{UL2}, M_{UR1}, M_{UR2}, M_1 \sim M_4, M_7, M_8$ ……NチャネルMOSトランジスタ、

$M_{URY}, M_{ULY}, M_5, M_6$ ……PチャネルMOSトランジスタ、 $Tr_1 \sim Tr_4$ ……NPNトランジスタ、 $D_1 \sim D_{11}, D_{01} \sim D_{04}$ ……ダイオード、 $R_1 \sim R_5$ ……抵抗、 $R_{VCM}$ ……ボイスコイルモータと直列の抵抗(寄生抵抗を含む)、 $L_{VCM}$ ……ボイスコイルモータのインダクタ、 $A_L, B_L, C_L, D_L, A_R, B_R, C_R$ ……出力回路の入力端子、 $Z$ ……サーボデータの読み込み期間に“L”状態となる入力端子、 $V_{IN}$ ……入力電圧、

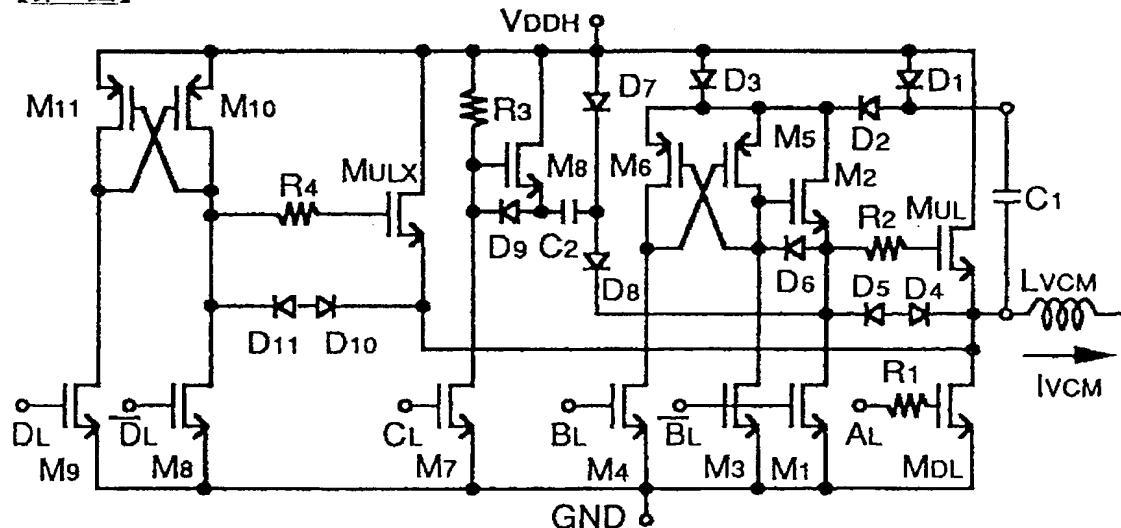
$V_{DDH}$ ……電源電圧、 $V_{ref0}, V_{ref1}, V_{ref2}$ ……基準電圧、 $V_{CM}$ ……ボイスコイルモータ、1～3……コンパレータ、4～6……トランスファーゲート、7～14……インバータ、15～24……AND回路、25, 26……OR回路、27～30……遅延回路。

#### 図面

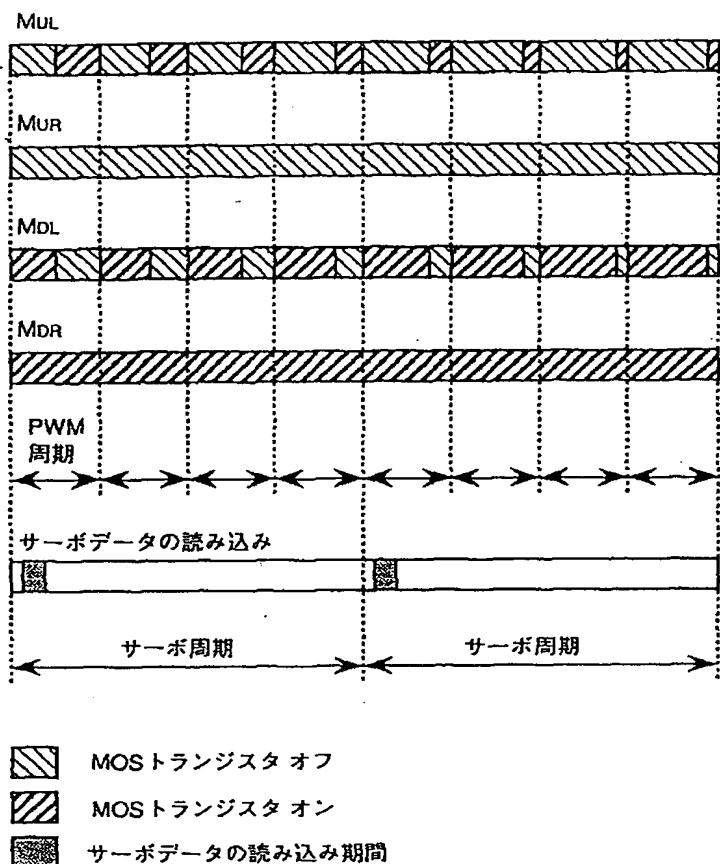
##### 【第1図】



【第3図】



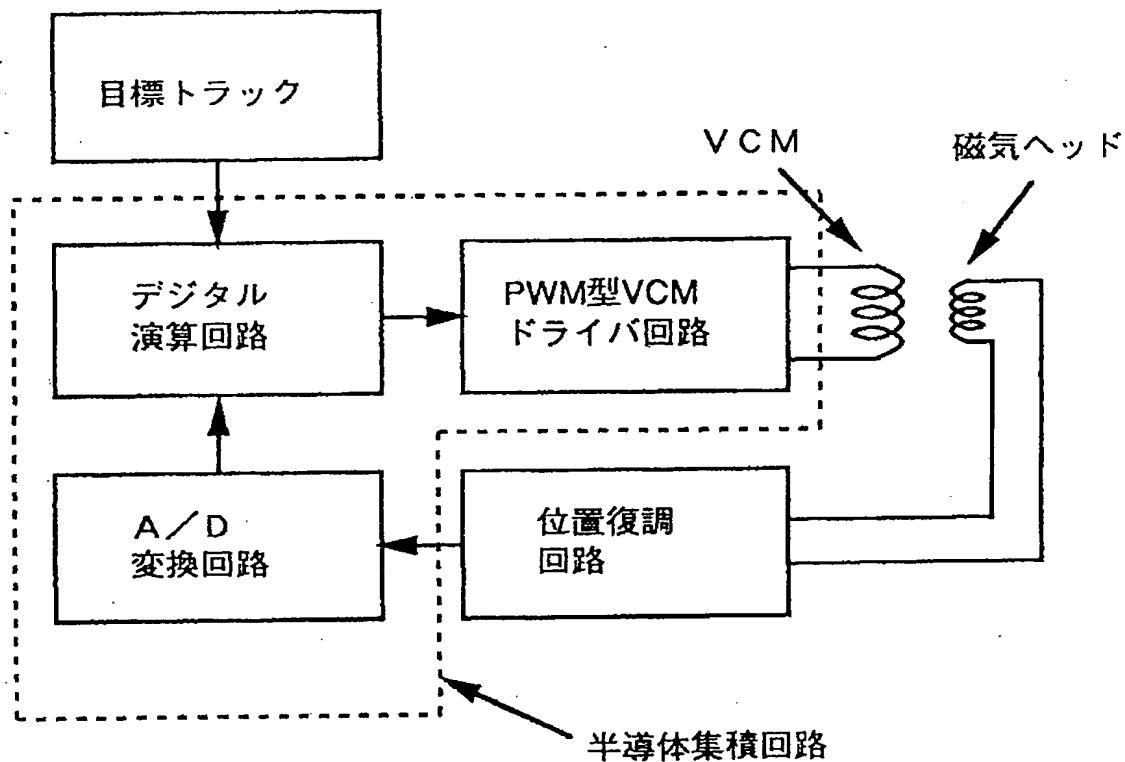
【第2図】



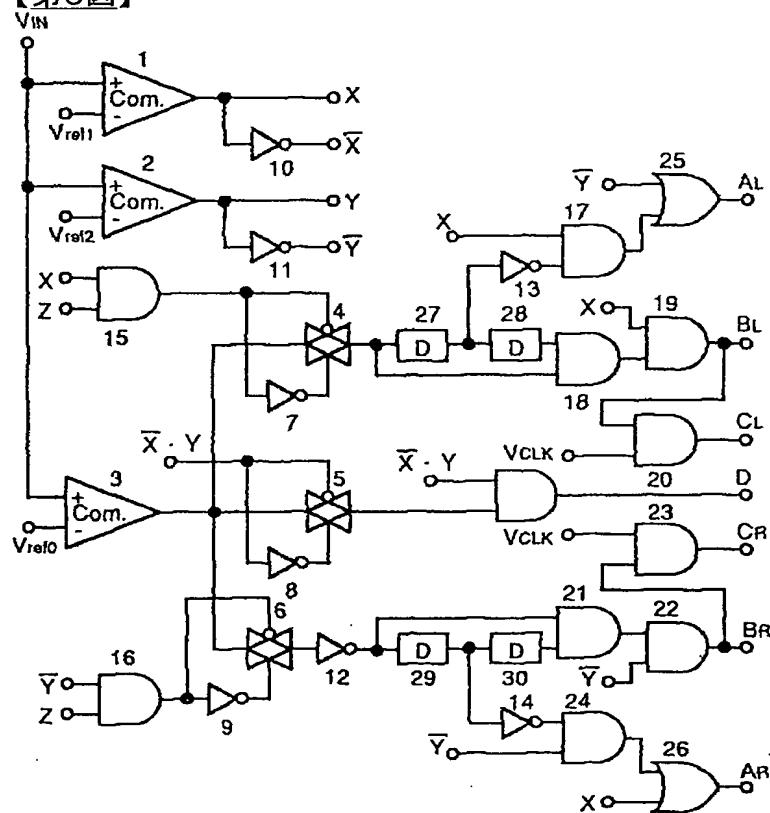
【第4図】

入力端子	V <sub>CM</sub>  >0		V <sub>CM</sub>  <0
	シーク	フォロイング	シーク
AL		L	H
BL		L	L
CL		L	L
DL	L		L
AR	H	H	
BR	L	L	
CR	L	L	

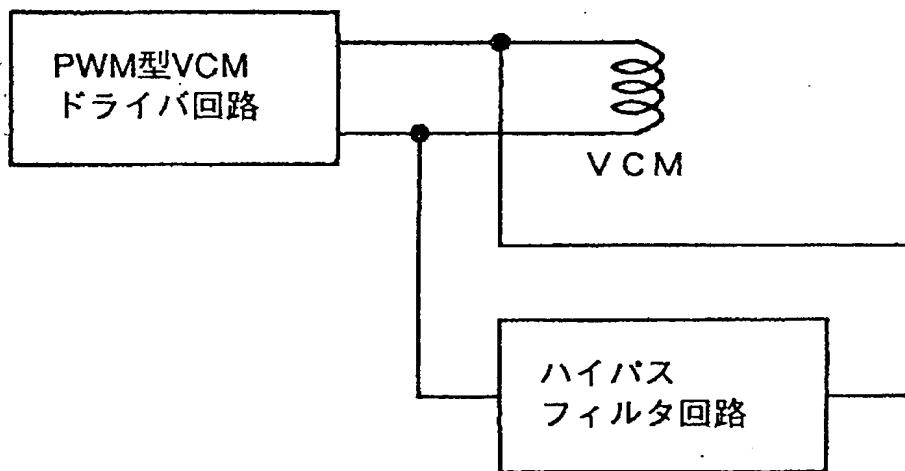
【第5図】



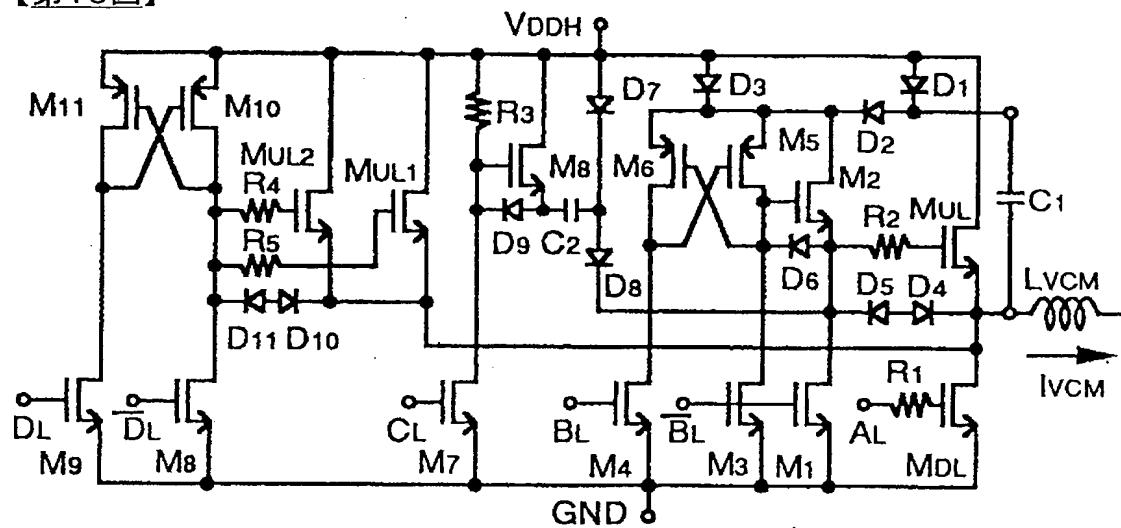
【第6図】



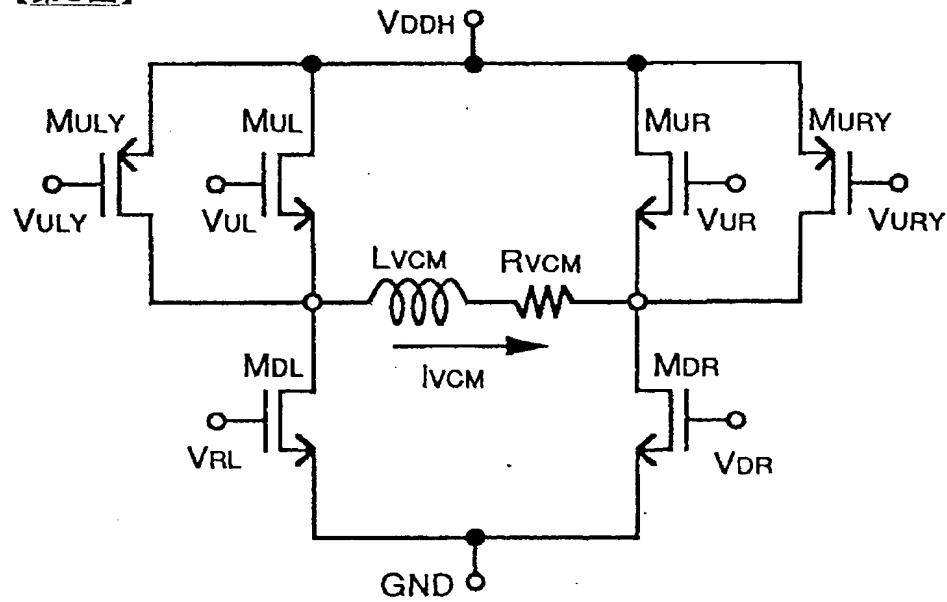
【第7図】



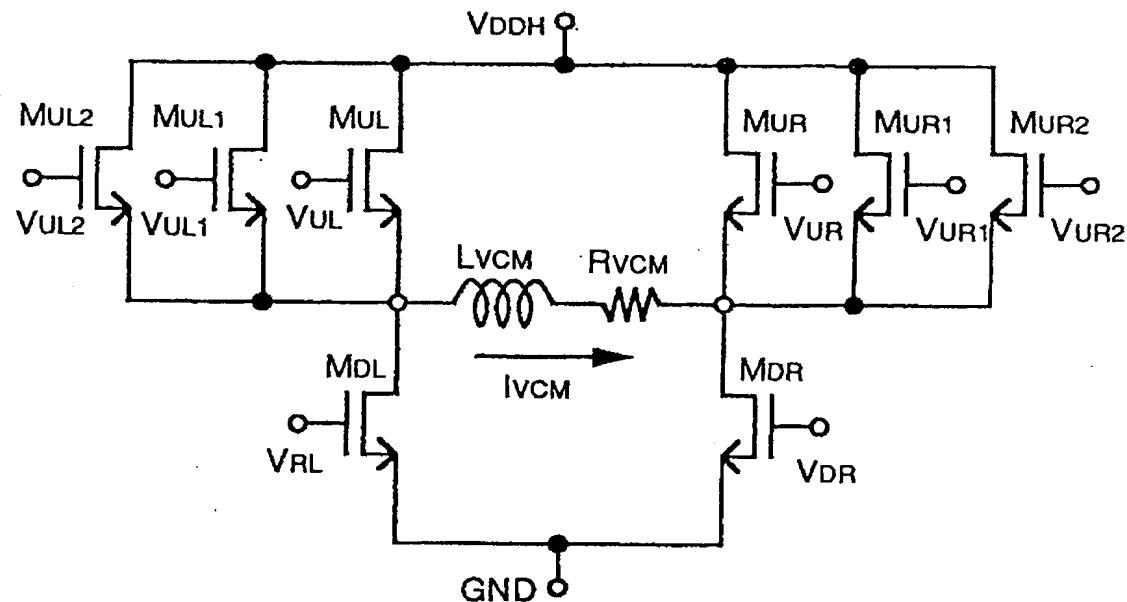
【第10図】



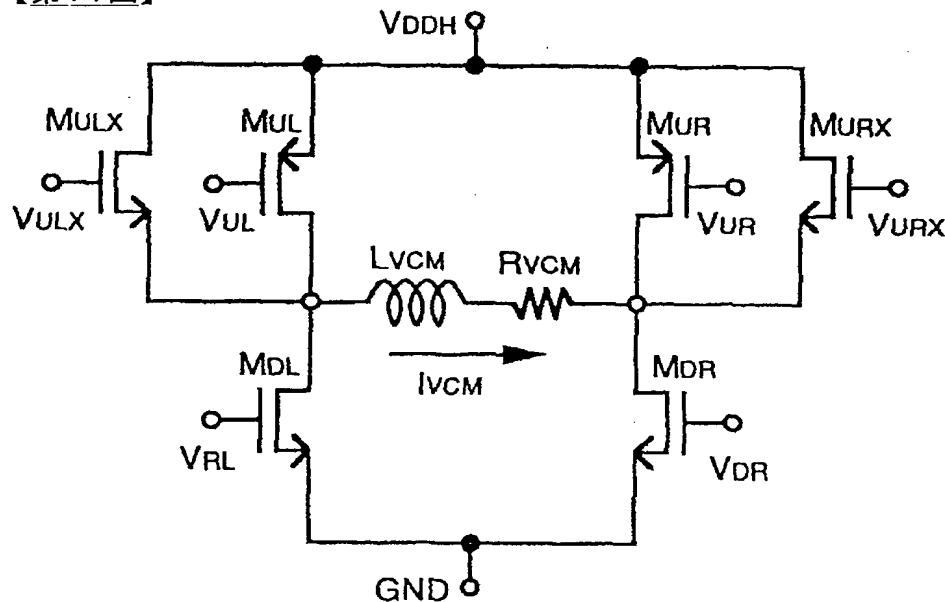
【第8図】



【第9図】



【第11図】



【第12図】

